

(1) Japanese Patent Application Laid-Open No. 10-209167 (1998)

“Semiconductor Device and Manufacturing Method Thereof”

The following is an extract relevant to the present application.

5

In a configuration where a non-single-crystal silicon film is formed in a surface of a single-crystal silicon having an SOI structure so that it will be a gettering site, there is a problem that the gettering site becomes smaller as the semiconductor device becomes finer, and the gettering effect is decreased.

10

In this invention, a groove 6 is provided in a single-crystal silicon 1 having an SOI structure, and non-single-crystal silicon films 7P and 7N, such as polycrystal silicon, are buried in the groove 6. For example, the polycrystal silicon films 7P and 7N are formed in source/drain regions 11N and 11P of a MOS transistor. Accordingly, it is possible, regardless of finer designing of a semiconductor device, to provide a large area for an interface between the non-single-crystal silicon films 7P and 7N, and the single-crystal silicon 1, to increase the gettering site, to enhance the gettering effect, and to obtain a semiconductor device of an SOI structure which is resistant to heavy-metals pollution.

15

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-209167

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.⁶
H 0 1 L 21/322
21/762
27/12
29/786

識別記号

F I
H 0 1 L 21/322 P
27/12 F
21/76 D
29/78 6 2 1

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願平9-7136
(22)出願日 平成9年(1997) 1月20日

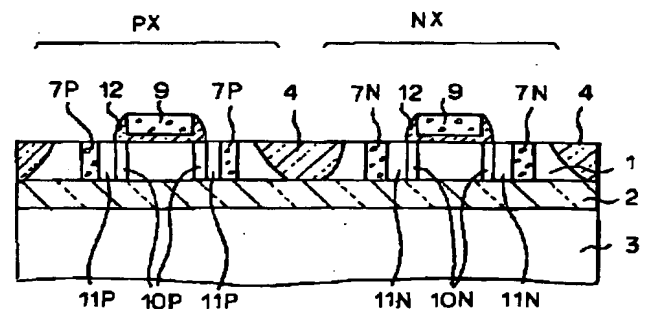
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 小此木 堅祐
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 SOI構造の単結晶シリコンの表面に非単結晶シリコン膜を形成してこれをゲッタリングサイトとする構成では、半導体装置の微細化に伴ってゲッタリングサイトが小さくなり、ゲッタリング効果が低下される。

【解決手段】 SOI構造の単結晶シリコン1に溝6を設け、この溝6内に多結晶シリコン等の非単結晶シリコン膜7P、7Nを埋設する。例えば、MOSTランジスタのソース・ドレイン領域11N、11P内に多結晶シリコン膜7P、7Nを設ける。半導体装置の微細化にかかわらず、非単結晶シリコン膜7P、7Nと単結晶シリコン1との界面の面積が大きくなり、ゲッタリングサイトを拡大し、ゲッタリング効果を高めて重金属汚染に強いSOI構造の半導体装置を得ることができる。



1 : 単結晶シリコン
2 : 二酸化シリコン
3 : 支持体単結晶シリコン
4 : 素子分離酸化膜
7P, 7N : 多結晶シリコン膜
9 : ゲート電極
10P, 10N : LDD層
11P, 11N : ソース・ドレイン領域
PX : PMOS領域
NX : NMOS領域

【特許請求の範囲】

【請求項1】 絶縁基板の上の単結晶シリコンに素子が形成されたSOI構造の半導体装置において、前記単結晶シリコン内に非単結晶シリコン膜が選択的に形成されていることを特徴とする半導体装置

【請求項2】 前記非単結晶シリコン膜は、多結晶シリコン膜または非晶質シリコンまたはシリコン窒化膜またはこれらを積層した多層構造膜のいずれかで構成され、前記不純物拡散領域と同じ導電型の不純物を含んでいる請求項1の半導体装置。

【請求項3】 前記非単結晶シリコン膜は、前記絶縁基板に接触している請求項1または2の半導体装置。

【請求項4】 前記非単結晶シリコン膜は、前記絶縁基板に接触していない請求項1または2の半導体装置。

【請求項5】 非単結晶シリコンは単結晶シリコンに形成された不純物拡散領域内に形成されてなる請求項1ないし4のいずれかの半導体装置。

【請求項6】 不純物拡散領域は、MOSTランジスタのソース、ドレインの各拡散領域である請求項1ないし5のいずれかの半導体装置。

【請求項7】 絶縁基板上に形成されている単結晶シリコンの所要箇所をエッチングして溝を形成する工程と、この溝内に非単結晶シリコン膜を埋設する工程と、前記単結晶シリコンに不純物を導入して素子の不純物拡散領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、SOI (Silicon On Insulator) 基板を用いた半導体装置に関し、特にSOI基板におけるゲッタリングを有効に行うことが可能な半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 近年の半導体装置では、素子の高速化や微細化を促進するためにSOI基板を利用している。しかしながら、このSOI基板は素子が形成される薄いシリコン活性層とこれを支持するシリコン基板の間に重金属原子をはとんど通過しない酸化シリコンが設けられているため、半導体装置製造中に混入される不純物、特に重金属を効果的にゲッタリングするのが困難である。従来のSOI基板のゲッタリング技術として、特開平8-45943号公報に記載のものがある。これを図9を参照して説明する。同図はその断面工程図であり、先ず、図9(a)のように、支持体単結晶シリコン23上の二酸化シリコン22上に単結晶シリコン21を有するSI-MOX (Separation by Implanted Oxygen) 基板または貼り合わせSOI基板を用意する。そして、単結晶シリコン21表面上に二酸化シリコン膜25を形成しフォトリソグラフィ法によってパターンニングし、その後、エッチングによって半導体装置が製造される活性層領域以

外の領域、すなわち素子分離領域の窓あけを行う。次いで、図9(b)のように、減圧CVD法によって、窓あけされた活性層21の表面および前記二酸化シリコン膜25の表面を含む全面にゲッター層となる多結晶シリコン膜27を成長する。次に、図9(c)のように、エッチングバックにより二酸化シリコン膜25上の多結晶シリコン膜27を除去し、素子分離領域にのみ多結晶シリコン膜27を残す。そして、最後に図9(d)のように、二酸化シリコン膜25をエッチングにより除去し、素子分離領域の多結晶シリコン膜27をゲッター層として完成する。

【0003】

【発明が解決しようとする課題】 この技術では、素子分離領域に選択的に形成された多結晶シリコン膜27をゲッター層とすることで、単結晶シリコン21における素子領域、すなわち活性層中に混入する重金属を、多結晶シリコンが活性層表面に接触した面からゲッタリングすることが可能である。したがって、多結晶シリコンと活性層表面の接触面積が重要になってくるが、近年における素子の微細化が促進される中で、素子分離領域も微細化され、その結果として多結晶シリコン膜27の面積が低減されて多結晶シリコン膜27と活性層表面との接触面積が小さくされると、その結果としてゲッタリング効率が悪化されてしまうことになる。このため、ゲッタリングが不完全なものとなり、重金属汚染を十分に補償することが困難になり、酸化膜耐圧の劣化やリーク電流の増加をもたらす、半導体装置の特性劣化が生じる要因となっている。

【0004】 本発明は、SOI基板における素子の微細化を促進する一方で、ゲッタリング効果を高めることが可能な半導体装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】 本発明は、絶縁基板上の単結晶シリコンに素子が形成されたSOI構造の半導体装置において、前記単結晶シリコン内に非単結晶シリコン膜が選択的に形成されていることを特徴とする。この非単結晶シリコン膜は、多結晶シリコン膜または非晶質シリコンまたはシリコン窒化膜またはこれらを積層した多層構造膜のいずれかで構成され、前記不純物拡散領域と同じ導電型の不純物を含んでいる。また、この非単結晶シリコン膜は、前記絶縁基板に接触し、あるいは絶縁基板に接触していない構成とされる。さらに、隣接する素子のそれぞれ異なる導電型の不純物を含む非単結晶シリコン膜が直接接して素子間分離機能を有する構成とすることが好ましい。また、本発明では、非単結晶シリコン膜は、MOSTランジスタのソース、ドレイン等の不純物拡散領域内に形成されることが好ましい。

【0006】 本発明の製造方法は、絶縁基板上に形成されている単結晶シリコンの所要箇所をエッチングして溝

を形成する工程と、この溝内に非単結晶シリコン膜を埋設する工程と、前記非単結晶シリコン膜が形成された前記単結晶シリコンに不純物を導入して不純物拡散領域を有する素子を形成する工程を含むことを特徴とする。ここで、前記溝は前記絶縁基板に達する深さまで形成し、あるいは前記絶縁基板に達しない深さまで形成する。

【0007】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は、本発明の第1実施形態の断面図であり、本発明をCMOSデバイスに適用した例を示している。支持体単結晶シリコン3の上に埋め込み酸化膜としての二酸化シリコン2が形成され、その上に単結晶シリコン1が設けられ、この単結晶シリコン1を活性層としてPMOSTランジスタとNMOSTランジスタとが形成されている。PMOS領域PXとNMOS領域NXは素子分離酸化膜4によって電気的に絶縁されており、各領域にはゲート電極9がそれぞれ設けられ、かつこのゲート電極9を挟む前記活性層には、PMOSおよびNMOSそれぞれのLDD領域10Pと10N、およびソース・ドレイン領域11P、11Nが形成されている。そして、これらのソース、ドレインにおいて、PMOSのソース・ドレイン領域11PにはP⁺多結晶シリコン7Pが、NMOSのソース・ドレイン領域11NにはN⁺多結晶シリコン7Nが埋め込まれている。ここでは、前記埋め込まれたP⁺多結晶シリコン7PとN⁺多結晶シリコン7Nはそれぞれ前記埋め込み酸化膜2に接触する深さ、すなわち単結晶シリコン1の全厚さにわたって形成されている。

【0008】図2および図3は、図1の半導体装置の製造方法を工程順に示す断面図である。まず、図2(a)のように、支持体単結晶シリコン3上に埋め込み酸化膜としての二酸化シリコン2が設けられ、この上に活性層としての単結晶シリコン1が形成されたSOI基板に素子分離を行い、単結晶シリコン1に二酸化シリコン4を形成し、PMOS領域PXとNMOS領域NXとを分離する。なお、同図はPMOS領域のみを図示しているが、NMOS領域についても同様である。また、以降は同図のSの領域のみを図示する。次いで、図2(b)のように、単結晶シリコン1の表面上に二酸化シリコン膜5を形成し、かつフォトリソグラフィ法によってパターンニングし、その後、例えば、ドライエッチングによって溝6を形成する。この溝は、これから形成しようとするPMOS領域PXのソース・ドレイン領域にそれぞれ含まれる領域に形成する。このとき、溝6の底面には埋め込み酸化膜である二酸化シリコン2が露出している。

【0009】次いで、図2(c)のように、全面に多結晶シリコン膜7を堆積する。このときの多結晶シリコンはCVD法(化学気相成長法)により、成長温度は、600℃から700℃で行うが、ゲッタリング効果の点から結晶粒を小さくすることが効果的であるため600℃

程度が望ましい。そして、図2(d)のように、前記多結晶シリコン膜7をドライエッチングによりエッチバックする。これにより、多結晶シリコン膜7は溝6内にのみ残されて多結晶シリコン膜7Pが形成され、その表面は平坦化される。以下、通常のCMOSデバイスを製造するプロセスになり、図3(a)のように、活性層1の表面にゲート酸化膜となる二酸化シリコン膜8を例えば、熱酸化で約100Åに形成し、その表面にゲート電極材料(例えば、多結晶シリコンやアルミニウム等)を被膜し、フォトリソグラフィ法によってパターンニングしてゲート電極9を形成する。

【0010】その後、図3(b)のように、図外のマスクを利用して活性層に不純物を低濃度にイオン注入し、ソース・ドレインの各LDD層10Pを形成する。このとき、例えば、PMOSの場合にはボロンまたはBF₃を、NMOSの場合にはリンを注入する。次いで、図3(c)のように、表面に酸化膜12を例えば、CVD法により形成する。そして、ドライエッチングにより、全面に付けた酸化膜をエッチバックすると、ゲート電極の側面に酸化膜12が残り、サイドウォールが形成される。その後、図3(d)のように、PMOSであれば、ボロンまたはBF₃を、NMOSであればリンをそれぞれ高濃度にイオン注入し、ソース・ドレイン領域11Pを形成する。

【0011】このように、本発明の第1の実施形態では、MOSTランジスタのソース・ドレイン領域11P、11N内に多結晶シリコン7P、7Nが埋め込まれているため、この多結晶シリコン7P、7Nとソース・ドレイン領域11P、11Nの単結晶シリコンとの界面にゲッタリングサイトが形成される。これにより、SOI基板上にデバイスを作製する際に、重金属を効果的にゲッタリングすることができる。すなわち、重金属の性質として、埋め込み酸化膜中を拡散し難いため、SOI構造では、デバイス作製領域である活性層にゲッタリング層をつくるのが重金属を捕獲しやすい。さらに、高濃度にボロンおよびリン等が含有する不純物拡散層は、他の低濃度領域(例えば、空乏層領域)より、重金属の固溶度が高い。よって、デバイス作製中の熱処理時には、ソースとドレイン領域に重金属が集まる。その後、冷却時に重金属は過飽和になり、析出場所を捜し、近くに結晶欠陥があると、それを核として重金属は析出する。この析出物が、空乏層領域に形成されると、リークの原因になり、基板表面に形成されると、ゲート酸化膜の質を劣化する。そのため、ソース・ドレイン領域内にすべての重金属を析出させるためには、重金属の析出の核にできる結晶粒界が多数存在する多結晶シリコンを、ソース・ドレイン領域内に埋め込むことが重要である。また、多結晶シリコンにも重金属捕獲能力があるため、高濃度に不純物(ボロンおよびリン等)が含有する多結晶シリコンは、高濃度に不純物を拡散した単結晶シリコ

5

ン層より、ゲッタリング効果を有する。

【0012】ここで、前記した製造方法において、図2(d)の構造を作製する他の方法として、図4に示す方法が採用可能である。まず、図4(a)のように、単結晶シリコン1表面上に二酸化シリコン膜5を形成し、フォトリソグラフィ法によってパターンニングし、その後、例えば、ドライエッチングによって、溝6を形成する。この溝6は、後にソース・ドレイン領域を含む領域であることは言うまでもない。その後、前記溝を含む全面に多結晶シリコン膜7を堆積する。そして、図4

(b)のように、多結晶シリコン膜7をドライエッチングによりエッチバックし、さらに二酸化シリコン5はウェットエッチで除去する。これにより、多結晶シリコン膜7は溝6内のみ埋め込まれた多結晶シリコン膜7Pとして残される。次いで、図4(c)のように、前記単結晶シリコン1の表面に、後に埋め込み酸化膜となる二酸化シリコン2を熱酸化で形成する。その後、図4

(d)のように、前記二酸化シリコン2に対し他の基板として支持体単結晶シリコン3を室温で貼り合わせ、その後1100℃程度で熱処理し、強固に接着する。そして、同図の破線位置まで、前記単結晶シリコン1の裏面から研削研磨して多結晶シリコン7Pを露出させることで、図2(d)に示した構造と同じ構造が形成される。以下の工程は、図3(a)以降と同じである。

【0013】ここで、本発明においては、図5に示すように、PMOS領域PXとNMOS領域NXを電気的に絶縁するために素子分離酸化膜を形成する代わりに、単結晶シリコン1に埋め込まれたP⁺多結晶シリコン7PとN⁺多結晶シリコン7Nとが接触されるPN接合分離によって行ってもよい。なお、同図では、隣接されるPMOSとNMOSのソースとドレインにおいて接触しているが、PMOSとNMOSのソースが相互に接触したはNMOSのソースが接触していても良い。この実施形態では、PMOS領域PXとNMOS領域NXを電気的に絶縁するために素子分離酸化膜が存在していないが、高濃度拡散層がSOI膜厚分だけ存在し、埋め込み酸化膜に直接接しているために、素子間がパンチスルーすることがないため、微細化に有利である。また、酸化膜による応力が少なく、前記実施形態よりも結晶欠陥が発生し難いという利点もある。

【0014】図6は、本発明の第2の実施形態の断面図である。この実施形態では、ソース・ドレイン領域11P、11Nに埋め込まれたP⁺多結晶シリコン膜7PとN⁺多結晶シリコン膜7Nが埋め込み酸化膜である下層の二酸化シリコン2に接触していない点に特徴を有している。この構成では、多結晶シリコン膜7P、7Nが薄いために、ソース・ドレイン領域11P、11Nにおける応力が少なくなり、応力による結晶欠陥が発生し難くなる。したがって、素子プロセスが高温でも結晶欠陥が発生しにくい。

(4)

6

【0015】図7は、前記第2の実施形態の製造方法の要部を工程順に示す断面図である。この製造方法では、図7(a)のように、単結晶シリコン1の表面に二酸化シリコン膜5を形成し、これをエッチングして溝6を形成する際に、この溝が埋め込み酸化膜2にまで達することがない深さに形成する。そして、図7(b)のように、多結晶シリコン膜7を形成し、かつこれをエッチングバックして表面を平坦化することで、図7(c)のように、埋め込み酸化膜2にまで達することがない膜厚の多結晶シリコン膜7Pを選択的に形成することが可能となる。以降の工程は、図3(a)の工程と同じである。

【0016】また、この第2の実施形態においても、図8のように、PMOS領域PXとNMOS領域NXを電気的に絶縁するために素子分離酸化膜4を形成する代わりに、単結晶シリコン1に埋め込まれたP⁺多結晶シリコン7PとN⁺多結晶シリコン7N、及びソースとドレインとがそれぞれ接触されるPN接合分離によって行ってもよい。なお、同図では、隣接されるPMOSとNMOSのソースとドレインにおいて接触しているが、PMOSとNMOSのソースが相互に接触したはNMOSのソースが接触していても良い。この実施形態においても、PMOS領域PXとNMOS領域NXを電気的に絶縁するために素子分離酸化膜が存在していないが、高濃度拡散層がSOI膜厚分だけ存在し、埋め込み酸化膜に直接接しているために、素子間がパンチスルーすることがないため、微細化に有利である。また、酸化膜による応力が少なく、前記実施形態よりも結晶欠陥が発生し難いという利点もある。

【0017】なお、前記各実施形態では、LDD構造のソース・ドレインの拡散領域を有するMOSTランジスタについて例示したが、LDDソース・ドレイン領域を有していないMOSTランジスタについても同様に適用できる。また、本発明においては、ソース・ドレイン領域の内部に形成する膜として、前記した多結晶シリコンに代えて、非晶質シリコン、シリコン窒化膜またはこれらを積層した多層構造膜のいずれかを採用してもよい。さらに、本発明はMOSTランジスタ以外の素子を含む半導体装置に適用することも可能である。

【0018】因みに、前記各実施形態のデバイスを実際に製造し、かつそのゲッタリング効果についての試験を行ったところ、ゲート酸化膜の耐圧評価として、Cモード不良率が10%向上されたことが確認されている。

【0019】

【発明の効果】以上説明したように本発明は、MOSTランジスタ等の素子を形成する単結晶シリコンの内部に多結晶シリコン等の非単結晶シリコン膜を埋設状態に形成しているので、この非単結晶シリコン膜と単結晶シリコンとの界面の面積が大きくなり、この界面に形成されるゲッタリングサイトが拡大され、ゲッタリング効果が高められて重金属汚染に強いSOI構造の半導体装置を

50

得ることができる。これにより、半導体装置の特性劣化が防止され、歩留り向上、コスト低減を図ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の断面図である。

【図2】第1の実施形態の製造方法を工程順に示す断面図のその1である。

【図3】第1の実施形態の製造方法を工程順に示す断面図のその2である。

【図4】製造方法の他の例を工程順に示す断面図である。

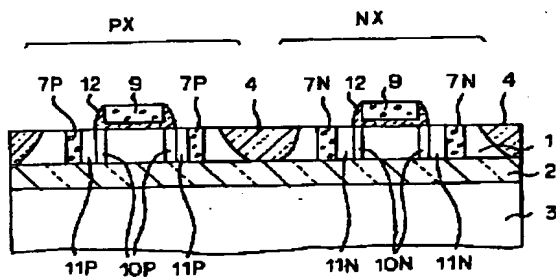
【図5】本発明の第1の実施形態の変形例の断面図である。

【図6】本発明の第2の実施形態の断面図である。

【図7】第2の実施形態の製造方法を工程順に示す断面図である。

【図8】第2の実施形態の変形例の断面図である。

【図1】



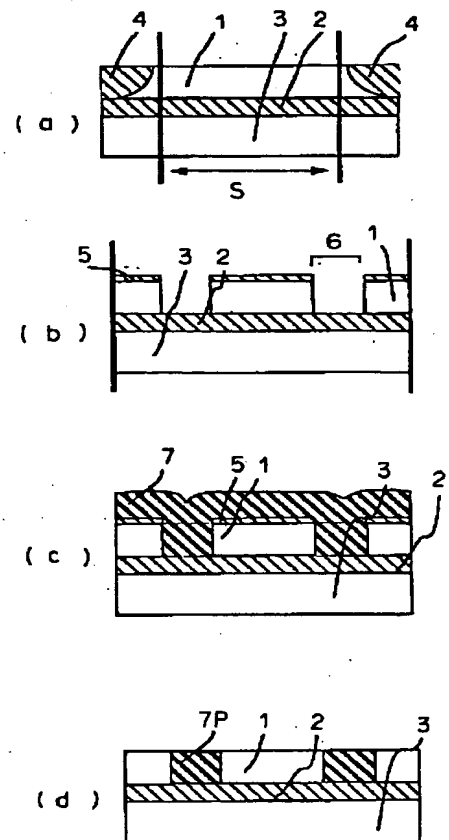
- 1: 単結晶シリコン
- 2: 二酸化シリコン
- 3: 支持体単結晶シリコン
- 4: 素子分離酸化膜
- 7P, PN: 多結晶シリコン膜
- 9: ゲート電極
- 10P, 10N: LDD層
- 11P, 11N: ソース・ドレイン領域
- PX: PMOS領域
- NX: NMOS領域

【図9】従来の製造方法を工程順に示す断面図である。

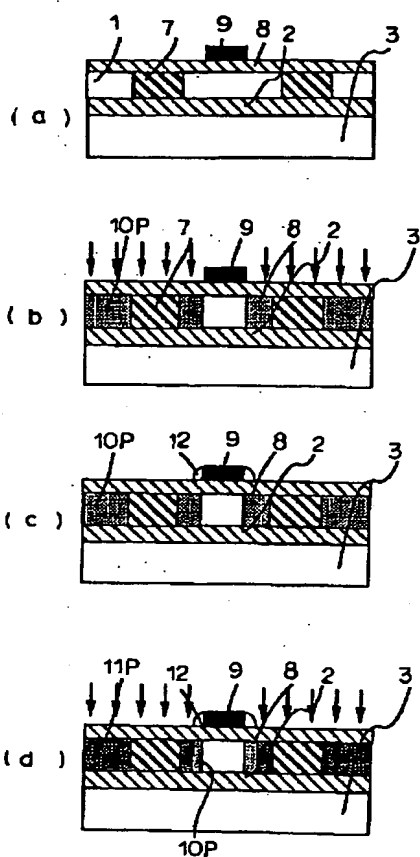
【符号の説明】

- 1 単結晶シリコン
- 2 二酸化シリコン膜（埋め込み酸化膜）
- 3 支持体単結晶シリコン
- 4 素子分離酸化膜
- 5 二酸化シリコン膜
- 6 溝
- 7 多結晶シリコン膜
- 7P P⁺ 多結晶シリコン膜
- 7N N⁺ 多結晶シリコン膜
- 8 二酸化シリコン膜
- 9 ゲート電極
- 10P, 10N LDDソース・ドレイン領域
- 11P, 11N ソース・ドレイン領域
- PX PMOS領域
- NX NMOS領域

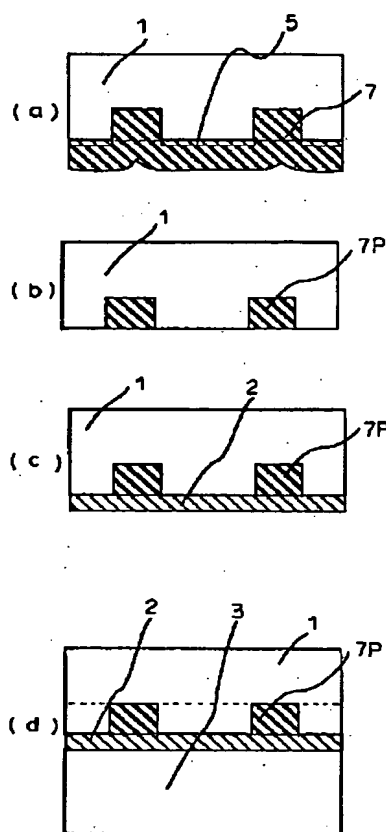
【図2】



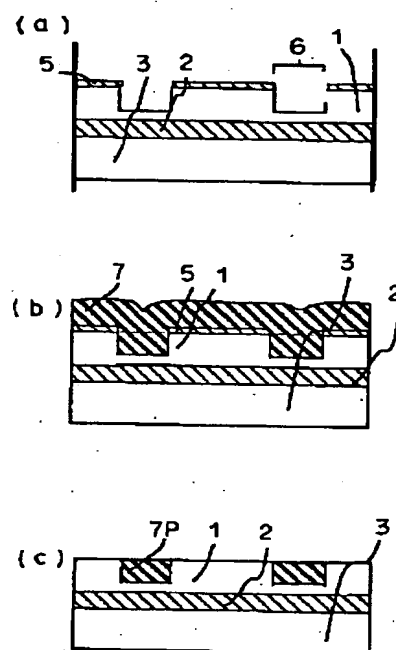
【図3】



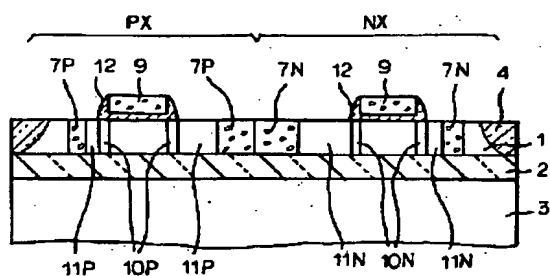
【図4】



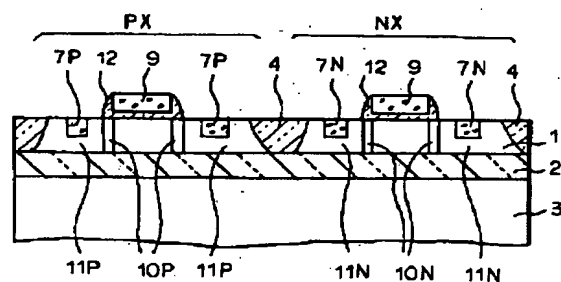
【図7】



【図5】



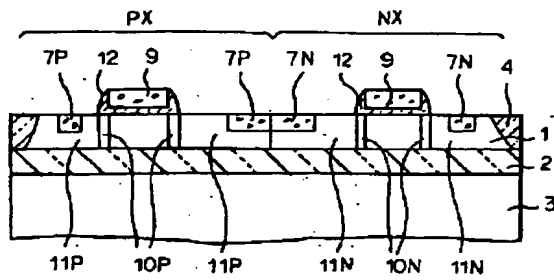
【図6】



1: 単結晶シリコン
 2: 二酸化シリコン
 3: 支持体単結晶シリコン
 4: 素子分離酸化膜
 7P, PN: 多結晶シリコン膜
 9: ゲート電極
 10P, 10N: LDD層
 11P, 11N: ソース・ドレイン領域
 PX: PMOS領域
 NX: NMOS領域

1: 単結晶シリコン
 2: 二酸化シリコン
 3: 支持体単結晶シリコン
 4: 素子分離酸化膜
 7P, PN: 多結晶シリコン膜
 9: ゲート電極
 10P, 10N: LDD層
 11P, 11N: ソース・ドレイン領域
 PX: PMOS領域
 NX: NMOS領域

【図8】



- 1: 単結晶シリコン
 2: 二酸化シリコン
 3: 支持体単結晶シリコン
 4: 素子分離酸化膜
 7P, 7N: 多結晶シリコン膜
 9: ゲート電極
 10P, 10N: LDD層
 11P, 11N: ソース・ドレイン領域
 PX: PMOS領域
 NX: NMOS領域

【図9】

